

Bestückungsliste für FDL-9U-CARD

Platine:	#
Bestücker:	
Datum:	

FDL-Platine mit **Kartenummer** versehen und in Bauteilverwaltung GT-BOARDS eintragen!!

Alle Bauteile, die **nicht** in der Liste aufscheinen, bitte einlöten!!

CARD_NR: Widerstände löten nach folgender Tabelle:

Nicht einlöten: SW1 (DIP-switch)

#	SW1/pin 8-9	SW1/pin 7-10	SW1/pin 6-11	SW1/pin 5-12
1	0Ω	0Ω	0Ω	offen
2	0Ω	0Ω	offen	0Ω
3	0Ω	0Ω	offen	offen
4	0Ω	offen	0Ω	0Ω

*) „offen“: pull-up Widerstände R26, R64, R65 und R66 bewirken high level.

Definition in VME64x-chip:

S31 (SW1/pin 8-9) => CARD_NR3

S30 (SW1/pin 7-10) => CARD_NR2

S29 (SW1/pin 6-11) => CARD_NR1

S28 (SW1/pin 5-12) => CARD_NR0

Bestückung von 2-pol. und 3-pol. jumper:

JP1: **nicht** einlöten, stattdessen **Kurzschlussbrücke** einlöten (VIO MasterBlaster).

JP2: **nicht** einlöten (TRST).

JP3: **nicht** einlöten, stattdessen **Kurzschlussbrücke** auf 1-2 einlöten (VIO MasterBlaster).

JP4: **nicht** einlöten, stattdessen **Kurzschlussbrücke** auf 1-2 einlöten (JTAG VME).

JP5: **nicht** einlöten, stattdessen **Kurzschlussbrücke** auf 1-2 einlöten (JTAG VME).

JP6: **nicht** einlöten, stattdessen **Kurzschlussbrücke** auf 1-2 einlöten (JTAG VME).

JP7: **nicht** einlöten, stattdessen **Kurzschlussbrücke** auf 1-2 einlöten (JTAG VME).

JP8: **nicht** einlöten, stattdessen **Kurzschlussbrücke** auf 1-2 einlöten (JTAG XILINX).

JP9: **nicht** einlöten, stattdessen **Kurzschlussbrücke** auf 1-2 einlöten (JTAG XILINX).

JP10: **nicht** einlöten, stattdessen **Kurzschlussbrücke** auf 1-2 einlöten (JTAG XILINX).

JP11: **nicht** einlöten, stattdessen **Kurzschlussbrücke** auf 1-2 einlöten (JTAG XILINX).

JP12: **nicht** einlöten, stattdessen **Kurzschlussbrücke** auf 2-3 einlöten (JTAG FDL-chip).

(JP13-JP16 Stifte einlöten)

JP17: **nicht** einlöten, stattdessen **Kurzschlussbrücke** auf 2-3 einlöten (CONF FDL-chip).

(JP18 und JP19 Stifte einlöten)

JP20: **nicht** einlöten, stattdessen **Kurzschlussbrücke** auf 2-3 einlöten (CONF FDL-chip).

JP20: **zusätzlich Kurzschlussbrücke** auf 1-2 einlöten (DONE_FDL zu VME-chip).

JP21: **nicht** einlöten, stattdessen **Kurzschlussbrücke** auf 2-3 einlöten (CONF FDL-chip).

JP22: **nicht** einlöten, stattdessen **Kurzschlussbrücke** auf 2-3 einlöten (CONF FDL-chip).

JP23: **nicht** einlöten, stattdessen **Kurzschlussbrücke** auf 2-3 einlöten (CONF FDL-chip).

JP24: **nicht** einlöten (EN_CONF_BY_VME).

JP25: **nicht** einlöten, stattdessen **Kurzschlussbrücke** auf 2-3 einlöten (HSWAP_EN).

JP26: **nicht** einlöten (CLK_FB_FDL).

JP27, JP28, JP29: **nicht** einlöten (bei LV1V5, nach Spannungsmessung Kurzschlussbrücken einlöten).

JP45: **nicht** einlöten, stattdessen **Kurzschlussbrücke** einlöten (NIACKIN/OUT).

SW4 nicht einlöten:

Stattdessen pins 8-9 (von SW4) mit Lötbrücke verbinden (NEN_ALT_CONN='0' für MasterBlaster). Alle anderen pins von SW4 offen lassen, damit auch pins 7-10 (NEN_XIL_CONN='1' für ParallelCable).

INIT_DONE_FB (pin 19, Signal S26 auf pin 18, Signal S27) für VME64x-chip:

R16, R23, R25 **nicht** einlöten.

R24: 1k Ω einlöten.

SW1/pin 3 mit SW1/pin 4 verbinden (am besten mit R0805 mit 0 Ω).

Änderungen bei LV1V5 Regler:

IC4: statt CS5206-1GT3 Ersatztype LMS1585ACT-1.5 (fixer 1,5V Regler) einlöten

R7, R27 und R28 **nicht** einlöten

C23 **nicht** einlöten

Bei R27 und C23 **Kurzschlussbrücke** einlöten

Zusatz bei JP17 (ermöglicht immer ein NPROG_FDL_V):

Diode (BAT54AW) auf 1-2 löten!!! (Einzelpin, d.i. Anode auf Pin 2; eine Kathode auf Pin 1; zweite Kathode bleibt frei)

Spannungsversorgungen:

L33 **nicht** einlöten

R112 (bei LV2V5_VME): **statt** 150 Ω jetzt mit **120 Ω** einlöten

R113 (bei LV2V5_VME): **statt** 1k jetzt mit **120 Ω** einlöten

R114 (bei LV2V5_VME): **nicht** einlöten

IC4 (bei LV1V5): isoliert vom Kühlkörper montieren (Kunststoffhülse bzw. -schraube).

VME_IO_FDL:

R68 (bottom): **nicht** einlöten

C30 (bottom): **nicht** einlöten

R130 (bottom): **nicht** einlöten

C6 (bottom): **nicht** einlöten

FRONT_PAN_FDL:

CON3 **nicht** einlöten

CLOCK:

R131 (bottom): **nicht** einlöten

R132 (bottom): **nicht** einlöten

C8 (bottom): **nicht** einlöten

C9 (bottom): **nicht** einlöten

JP26: **nicht** einlöten

R43 (top): **nicht** einlöten (80MHz Clock zu FDL Chip)

JTAG_FDL:

R97: **statt** 1k2 jetzt mit **0 Ω** einlöten

R98: **nicht** einlöten

R105: **nicht** einlöten

LEDs:

DIO2, DIO4 - DIO8: LEDs 5x2mm mittels Drahtverlängerung einlöten (Farben laut Platinaufdruck). Rechter Anschluss (rundes pad) ist Anode. LEDs in Frontplatte einkleben.

Frontpanel montieren!!

GND Stützpunkte bitte einlöten!!

Schiene gegen Verwindung montieren!!

Codierung "blaulila - 2478" in 2mm-Stecker Type A stecken!!

MEZZ957-3000 Modul für FDL9U-Platine:

MEZZ957-Platine mit Kartenummer versehen und in Bauteilverwaltung GT-BOARDS eintragen!!

(Man nehme eine für LFF vorbereitete Platine und löte R12=0Ω ein)

Alle R=49,9Ω **einlöten:**

R1, R2, R3, R4, R15, R16, R17, R18, R19, R20, R21, R22, R23, R27, R28, R29, R32, R34, R31 und R33

R9 = R10 = R11 = 10kΩ **einlöten.**

R24 = R25 = R26 = 0Ω **einlöten** (Master Mode setzen, um FDL-chip v. Proms zu laden)

R12 **einlöten** (0 Ω, VREF Verbindung in Bank 0)

R13 **offen** (0 Ω, VREF Verbindung in Bank 1)

R8 **offen** (0 Ω, VREF Verbindung in Bank 2)

R7 **offen** (0 Ω, VREF Verbindung in Bank 3)

R14 **offen** (0 Ω, VREF Verbindung in Bank 4)

R6 **offen** (0 Ω, VREF Verbindung in Bank 5)

R30 **offen** (0 Ω, VREF Verbindung in Bank 6)

R5 **offen** (0 Ω, VREF Verbindung in Bank 7)

MEZZ957-4000 Modul für FDL9U-Platine:

MEZZ957-Platine mit Kartenummer versehen und in Bauteilverwaltung GT-BOARDS eintragen!!

(Man nehme eine für LFF vorbereitete Platine und löte R12=0Ω ein)

Alle R=49,9Ω **einlöten:**

R1, R2, R3, R4, R15, R16, R17, R18, R19, R20, R21, R22, R23, R27, R28, R29, R32, R34, R31 und R33

R9 = R10 = R11 = 10kΩ **einlöten.**

R24 = R25 = R26 = 0Ω **einlöten** (Master Mode setzen, um FDL-chip v. Proms zu laden)

R12 **einlöten** (0 Ω, VREF Verbindung in Bank 0)

R13 **offen** (0 Ω, VREF Verbindung in Bank 1)

R8 **offen** (0 Ω, VREF Verbindung in Bank 2)

R7 **offen** (0 Ω, VREF Verbindung in Bank 3)

R14 **offen** (0 Ω, VREF Verbindung in Bank 4)

R6 **offen** (0 Ω, VREF Verbindung in Bank 5)

R30 **offen** (0 Ω, VREF Verbindung in Bank 6)

R5 **offen** (0 Ω, VREF Verbindung in Bank 7)